

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-181699

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

G06F 9/06

G06F 11/22

G06F 15/78

(21)Application number : 10-361215

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.12.1998

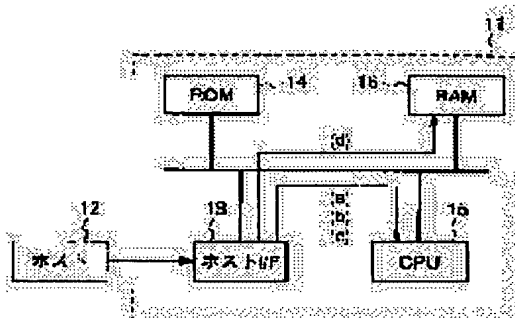
(72)Inventor : INOUE TAKAO

## (54) PROGRAM PROCESS CONTROL METHOD AND DIGITAL SIGNAL PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To eliminate the miswriting of a program and to shorten the time for a shipment test by returning to the process of a shipment test program during a regular program process.

**SOLUTION:** A CPU 15 receives a signal (a) and starts an interruption routine. The shipment test program issued by a host 12 is written to a RAM 16 through a path (d) passing through a host interface 13. A shipment test program load end command is outputted from the host 12 and outputted as a signal (b) to the CPU 15 through the host interface 13. The CPU 15 switches the process address to the head address of the shipment test program written in a ROM 14 and further starts the process of the shipment test program. Then a shipment test process forcible end command is outputted from the host 12 and inputted as a signal (c) to the CPU 15. The CPU 15 starts a system resetting process and perform the process of the regular program in a ROM 14.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181699

(P2000-181699A)

(43) 公開日 平成12年6月30日 (2000. 6. 30)

(51) Int.Cl. <sup>7</sup>		識別記号	F I		テームコード* (参考)
G 0 6 F	9/06	5 4 0	G 0 6 F	9/06	5 4 0 M 5 B 0 4 8
	11/22	3 1 0		11/22	3 1 0 A 5 B 0 6 2
	15/78	5 1 0		15/78	5 1 0 K 5 B 0 7 6

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21) 出願番号 特願平10-361215

(22) 出願日 平成10年12月18日 (1998. 12. 18)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 井上 貴生

香川県高松市古新町8番地の1 松下寿電

子工業株式会社内

(74) 代理人 100081813

弁理士 早瀬 憲一

Fターム(参考) 5B048 AA00 CC13 DD01 FF01 FF04

5B062 AA10 CC06 EE09 GG05 JJ05

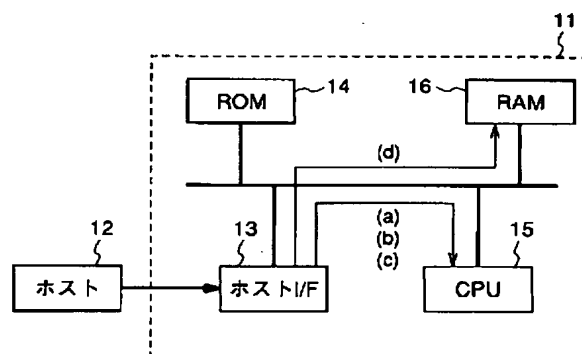
5B076 CA08

(54) 【発明の名称】 プログラム処理制御方法及びデジタル信号処理装置

(57) 【要約】

【課題】 デジタル信号処理装置の出荷テスト工程の時間短縮を図り、装置の小型化及びコスト低減を図る。

【解決手段】 正規プログラムはROM 14に保持させ、一方、製品の出荷テスト用プログラムについては、出荷テストを行う際に外部からRAM 16にロードし、一時的に記憶させ、該RAM 16内のロードプログラムを起動させることにより出荷テストを行なう。



11: デジタル信号処理装置

(2)

## 【特許請求の範囲】

【請求項1】 正規プログラムを保持するROMと、RAMとを具備するデジタル信号処理装置におけるプログラム処理を制御するプログラム処理制御方法において、

上記正規プログラム処理中に外部からのプログラムを上記RAMへロードするステップと、

上記RAMへのプログラムロードが終了した後に、上記正規プログラムの処理から上記RAMにロードされたプログラムの処理へ切替えるステップと、

上記ロードプログラムの処理が終了した後に、上記正規プログラムの処理に切替えるステップとを含むことを特徴とするプログラム処理制御方法。

【請求項2】 正規プログラムを保持するROMと、RAMとを備え、プログラム処理を行うデジタル信号処理装置において、

上記正規プログラム処理中に外部からのプログラムを上記RAMへロードし、上記RAMへのプログラムロードが終了した後に、上記正規プログラムの処理から上記RAMにロードされたプログラムの処理へ切替え、上記ロードプログラムの処理が終了した後に、上記正規プログラムの処理に切替えるように制御する制御手段を備えたことを特徴とするデジタル信号処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はデジタル信号処理システムにおけるCPUのプログラム処理制御方法に関するものである。

## 【0002】

【従来の技術】 従来の技術によるプログラム処理制御方法を用いたデジタル信号処理装置で本案に関連するものとして特開平1-246652号公報に記載されたものが知られている。

【0003】 図3は従来の技術によるデジタル信号処理装置の構成を示すブロック図である。図3において、21はデジタル信号処理装置、22はホスト、23はホスト22からのコマンドを解釈し、該コマンドの内容に基づきデジタル信号処理装置21各部を制御するホストインタフェース、24はホスト22からホストインタフェース23を介して入力されたプログラムを格納するバッファ、25はEEPROMバスをCPUバス、バッファ24のいずれかに接続するセクタ、26はバッファ24、セクタ25経由で入力されたプログラムを書き込み、また、該書き込んだプログラムの消去を行うEEPROM、27はEEPROM26内のプログラムデータの処理を行ない、ホストインタフェース23を介してホスト22との間でデータやコマンドの情報交換を行うCPU、28はCPU27によるデータ処理に一時的に必要な記憶装置として用いられるRAM、である。また、ホストインタフェース23、EEPROM26、

2

CPU27、RAM28はバスにより接続されている。

【0004】 図4は従来の技術によるデジタル信号処理装置21による処理のフローチャートである。以下、従来の技術によるデジタル信号処理装置21の動作について図4を用いて説明する。デジタル信号処理装置21の電源をONにすると、システムリセットが行われ、ホストインタフェース23はセクタ25に対し、EEPROM26のバスをCPU27のバスに接続するよう指示する。上記指示によりEEPROM26のバスがCPU27のバスに接続されると、CPU27によるEEPROM26内の正規プログラムの処理が開始される。

【0005】 CPU27による上記正規プログラム処理中に、ホスト22から出荷テストを要求するコマンド

(以下、出荷テストモード要求コマンドという)が出力されると、該出荷テストモード要求コマンドはホストインタフェース23を介し信号(f)としてCPU27、セクタ25に入力される。信号(f)により、CPU27は一時処理停止状態に入り、かつ、セクタ25はEEPROM26バスをCPU27バスから切り離しバッファ24に接続する。

【0006】 次に、出荷テスト用プログラムがホスト22から出力され、ホストインタフェース23→バッファ24→セクタ25(e)の経路を經由してEEPROM26に書き込まれる。該出荷テスト用プログラムがすべてEEPROM26に書き込まれると、ホスト22からそのことを通知するためのコマンド(以下、出荷テスト用プログラムロード終了コマンドという)が出力され、ホストインタフェース23を介し信号(g)としてCPU27、セクタ25に送信される。信号(g)により、EEPROM26のバスはバッファ24から切り離されCPU27のバスに再び接続され、CPU27による出荷テスト用プログラムの処理が開始される。

【0007】 そして、該出荷テスト用プログラムの処理が終了すると、該出荷テスト用プログラムの処理が終了したことを知らせるコマンド(以下、出荷テスト処理強制終了コマンドという)がホスト22から出力され、ホストインタフェース23を介し信号(h)としてセクタ25に入力される。上記信号(h)によりEEPROM26バスがバッファ24に接続されると、製品の正規プログラムがホスト22から出力され、ホストインタフェース23→バッファ24→セクタ25(e)の経路を經由して、EEPROM26に書き込まれる。その後、システムリセットが行われて、ホストインタフェース23の指示によりEEPROM26のバスがCPU27のバスに接続されると同時に、CPU27は上記EEPROM26に書き込まれた正規プログラムの処理を実行する。以上のフローを繰り返すことにより、出荷テスト用プログラムのデバッグ、及び出荷テストを行っていた。

【0008】

(3)

3

【発明が解決しようとする課題】しかしながら、上記のような従来の技術によるデジタル信号処理装置では、正規プログラム、出荷テスト用プログラムを共にEEPROMに常駐するケースではEEPROMのサイズが大きくなるという欠点があり、さらに、該EEPROMにプログラムを書き込むためにEEPROMの1書き込み単位に相当するバイト数分（例えば512バイト）のバッファ及びセレクトが必要となるため、回路規模が大きく複雑な構成となったり、コストが高くなるという問題があった。

【0009】また、正規プログラムと出荷テスト用プログラムをEEPROMに書き換えることが多く起こるため、テスト後、最終製品としての正規プログラムをEEPROMに書き込む段階で、誤ったバージョンの正規プログラムを書き込んでしまう場合があり、そのことが出荷テスト工程の遅延につながっていた。

【0010】本発明は、上記の問題点を解消するためになされたものであり、出荷テスト用プログラムを正規プログラムの記録媒体とは別個の記録媒体に記憶させて出荷テスト用プログラムの処理を行うプログラム処理制御方法及びそのプログラム制御方法を用いたデジタル信号処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために、請求項1に係るプログラム処理制御方法は、正規プログラムを保持するROMと、RAMとを具備するデジタル信号処理装置におけるプログラム処理を制御するプログラム処理制御方法において、上記正規プログラム処理中に外部からのプログラムを上記RAMへロードするステップと、上記RAMへのプログラムロードが終了した後に、上記正規プログラムの処理から上記RAMにロードされたプログラムの処理へ切替えるステップと、上記ロードプログラムの処理が終了した後に、上記正規プログラムの処理に切替えるステップとを含むことを特徴とするものである。

【0012】上記目的を達成するために、請求項2に係るデジタル信号処理装置は、正規プログラムを保持するROMと、RAMとを備え、プログラム処理を行うデジタル信号処理装置において、上記正規プログラム処理中に外部からのプログラムを上記RAMへロードし、上記RAMへのプログラムロードが終了した後に、上記正規プログラムの処理から上記RAMにロードされたプログラムの処理へ切替え、上記ロードプログラムの処理が終了した後に、上記正規プログラムの処理に切替えるように制御する制御手段を備えたことを特徴とするものである。

【0013】

【発明の実施の形態】実施の形態1. 図1は本発明の実施の形態1によるデジタル信号処理装置の構成を示すブロック図である。図1において、11はデジタル信

4

号処理装置、12はホスト、13はホスト12からのコマンドを解釈し、該コマンドの内容に基づきデジタル信号処理装置11各部を制御するホストインタフェース、14は正規プログラムを保持するROM、15はROM14に保持されたプログラムに従って様々なデータ処理を行なうCPU、16はCPU15によるデータ処理に一時的に必要な記憶装置として用いられるRAM、である。また、ホストインタフェース13、ROM14、CPU15、RAM16はバスにより接続されている。

【0014】図2は本発明の実施の形態1によるデジタル信号処理装置11による処理のフローチャート図を示す。

【0015】以下、本実施の形態1によるデジタル信号処理装置11の動作について図2を用いて説明する。デジタル信号処理装置11の電源をONにすると、システムリセットが行われ、CPU15はROM14内の正規プログラムの先頭アドレスから処理を開始する。

【0016】正規プログラム処理中に、ホスト12から出荷テストモード要求コマンドが発行されると、ホストインタフェース13はこれを解釈し、信号(a)としてCPU15に送信する。CPU15は信号(a)を受けて、割り込み処理ルーチンを起動させる。該割り込み処理ルーチンにより、ホスト12から発行された出荷テスト用プログラムはホストインタフェース13を介し(d)の経路でRAM16に書き込まれる。

【0017】該出荷テスト用プログラムがすべてRAM16に書き込まれると、出荷テスト用プログラムロード終了コマンドがホスト12から出力され、ホストインタフェース13を介して信号(b)としてCPU15に出力される。CPU15は信号(b)を受けて、割り込み処理ルーチンを起動させる。ここでの割り込み処理ルーチンは処理アドレスをROM14内の正規プログラムからRAM16に書き込まれた出荷テスト用プログラムの先頭アドレスへ切り換え、さらに該出荷テスト用プログラムの処理を開始する。

【0018】そして、該出荷テスト用プログラム処理が終了すると、出荷テスト処理強制終了コマンドがホスト12から出力され、ホストインタフェース13を介して信号(c)としてCPU15に入力される。CPU15は信号(c)を受けると割り込み処理ルーチンを起動させて、該割り込み処理ルーチンはシステムリセット処理を起動させ、ROM14内の正規プログラムの処理を行う。

【0019】以上のように本発明の実施の形態1によるデジタル信号処理装置によれば、正規プログラムはROMに保持し、出荷テスト用プログラムについては外部からRAMにロードし一時的に記憶させ、該RAM内のロードプログラムを起動させることで出荷テストの割り込み処理を行ない、テスト終了後、上記ROM内の正規

(4)

5

プログラムの処理に戻すので、従来のように正規プログラムをEEPROMに書き込む段階で生じた、プログラムの書き込みミスは起こらなくなり、出荷テスト工程の時間短縮を図ることが出来る効果がある。また、上述するように従来では正規プログラム、出荷テスト用プログラムを共にEEPROMに常駐するケースではEEPROMサイズが大きくなる欠点があったが、本案の場合は出荷テスト用プログラムの容量分サイズが小さくて済む。また、従来のコストの高いEEPROMの代わりにROMでプログラムを保持し、さらにEEPROMへのプログラム書き込みに必要な回路群が不要となるので、装置のコスト低減を図ることができる。また、本案ではEEPROMへのプログラム書き替え機能が不要となり、簡単な構成で様々なシリーズの出荷テスト用プログラムの処理や出荷テスト用プログラム自身のデバッグを容易に行うことができる効果を有する。

【0020】

【発明の効果】請求項1に係るプログラム処理制御方法によれば、正規プログラムを保持するROMと、RAMとを具備するデジタル信号処理装置におけるプログラム処理を制御するプログラム処理制御方法において、上記正規プログラム処理中に外部からのプログラムを上記RAMへロードするステップと、上記RAMへのプログラムロードが終了した後に、上記正規プログラムの処理から上記RAMにロードされたプログラムの処理へ切替えるステップと、上記ロードプログラムの処理が終了した後に、上記正規プログラムの処理に切替えるステップとを含むので、例えば、製品の出荷テストを行う際に、上記正規プログラム処理中に出荷テスト用プログラムの割り込み処理を行ない、テスト終了後正規プログラムの処理に戻ることで、従来生じていたプログラムの書き込みミスが起こらなくなり、出荷テスト工程の時間短縮を図ることが出来る効果がある。

【0021】また、EEPROMの代わりにROMで正規プログラムを保持し、さらにEEPROMへのプログラム書き込みに必要な回路群が不要となるので、出荷テスト用プログラムの容量分の装置の小型化及びコスト低減を図ることができる。

【0022】また、EEPROMへのプログラム書き換え機能が不要となり、簡単な構成で様々なシリーズの出荷テスト用プログラムの処理や出荷テスト用プログラム自身のデバッグを容易に行うことができる効果を有する。

6

【0023】請求項2に係るデジタル信号処理装置によれば、正規プログラムを保持するROMと、RAMとを備え、プログラム処理を行うデジタル信号処理装置において、上記正規プログラム処理中に外部からのプログラムを上記RAMへロードし、上記RAMへのプログラムロードが終了した後に、上記正規プログラムの処理から上記RAMにロードされたプログラムの処理へ切替え、上記ロードプログラムの処理が終了した後に、上記正規プログラムの処理に切替えるように制御する制御手段を備えた構成とし、例えば、製品の出荷テストを行う際に、上記正規プログラム処理中に出荷テスト用プログラムの割り込み処理を行ない、テスト終了後正規プログラムの処理に戻ることで、従来生じていたプログラムの書き込みミスが起こらなくなり、出荷テスト工程の時間短縮を図ることが出来る効果がある。

【0024】また、EEPROMの代わりにROMで正規プログラムを保持し、さらにEEPROMへのプログラム書き込みに必要な回路群が不要となるので、出荷テスト用プログラムの容量分の装置の小型化及びコスト低減を図ることができる。また、EEPROMへのプログラム書き替え機能が不要となり、簡単な構成で様々なシリーズの出荷テスト用プログラムの処理や出荷テスト用プログラム自身のデバッグを容易に行うことができる効果を有する。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるデジタル信号処理装置の構成を示すブロック図である。

【図2】同実施の形態1によるデジタル信号処理装置による処理のフローチャート図である。

【図3】従来の技術によるデジタル信号処理装置の構成を示すブロック図である。

【図4】従来の技術によるデジタル信号処理装置による処理のフローチャート図である。

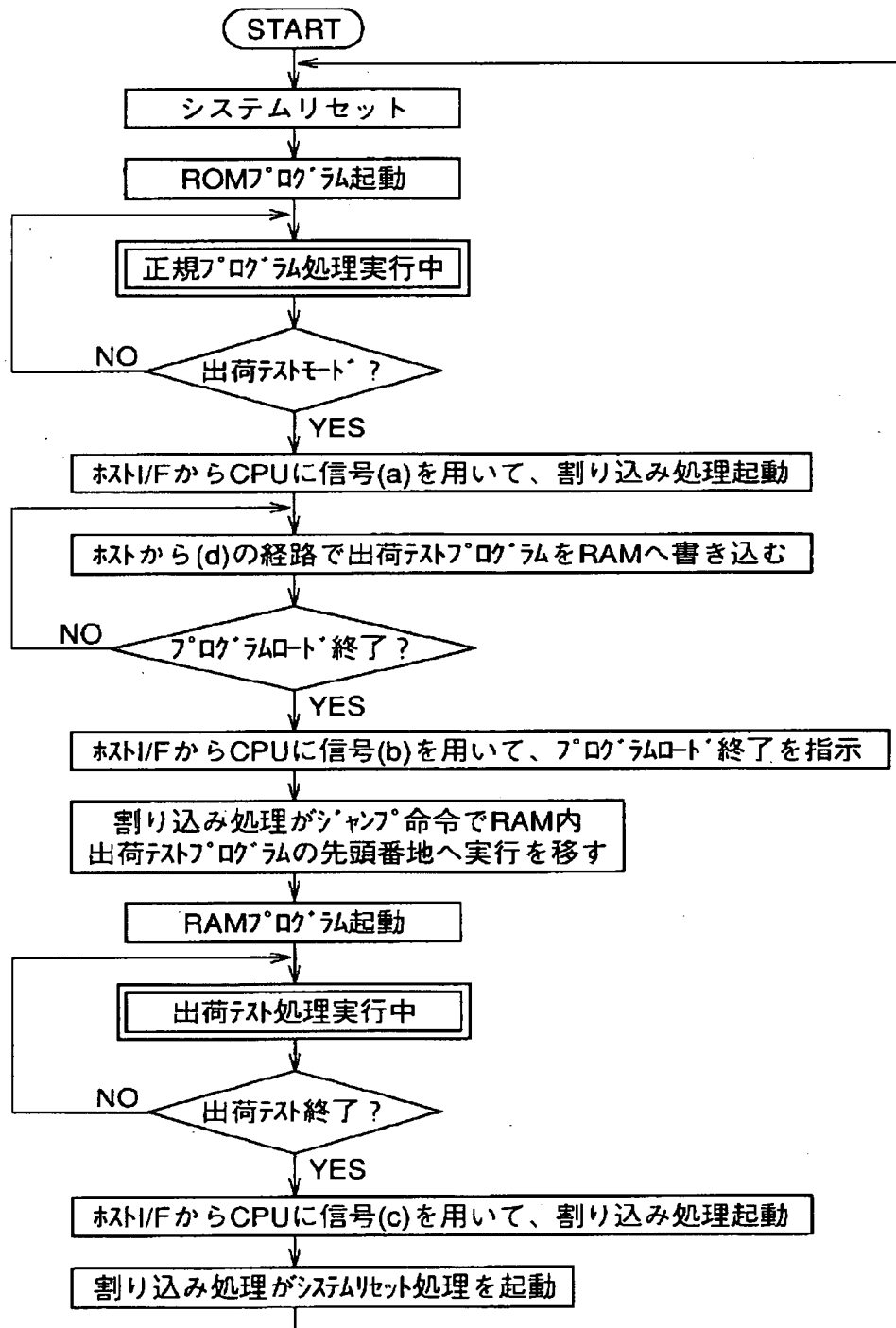
【符号の説明】

- 11、21 デジタル信号処理装置
- 12、22 ホスト
- 13、23 ホストインタフェース
- 14 ROM
- 15、27 CPU
- 16、28 RAM
- 24 バッファ
- 25 セレクタ
- 26 EEPROM



(6)

【図2】





(7)

【図4】

